

(51) Int.Cl. ⁶	識別記号	庁内整理番号
H 0 4 L 7/00		7741-5K
7/02		9199-5K
25/30		9199-5K
25/40		7741-5K

F I		
H 0 4 L 7/00		A
25/30		
25/40		C
7/02		Z

審査請求 未請求 予備審査請求 有 (全 30 頁)

(21) 出願番号 特願平7-515733
 (86) (22) 出願日 平成6年(1994)11月29日
 (85) 翻訳文提出日 平成8年(1996)6月3日
 (86) 国際出願番号 PCT/US94/13738
 (87) 国際公開番号 WO95/15631
 (87) 国際公開日 平成7年(1995)6月8日
 ✓ (31) 優先権主張番号 08/161,906
 (32) 優先日 1993年12月1日
 (33) 優先権主張国 米国 (US)
 (81) 指定国 EP(AT, BE, CH, DE, DK, ES, FR, GB, GR, IE, IT, LU, M C, NL, PT, SE), CA, JP

(71) 出願人 ディーエスシー、カミュニケーションズ、コーポレイション
 アメリカ合衆国テキサス州75075、プレイノウ、コイト・ロウド 1000番
 (72) 発明者 バックナ、ウエイド、ビー
 アメリカ合衆国テキサス州78749、オースティン、ブランコ・リヴァ・パス 6103番
 (72) 発明者 ラバツ、デイヴィッド、エイ
 アメリカ合衆国テキサス州78610、ビューダ、オウク・グロウヴ・ロウド 16115番
 (74) 代理人 弁理士 真田 雄造 (外2名)

最終頁に続く

(54) 【発明の名称】 データ位相整合回路

(57) 【要約】

進入する独立同期データを既知のクロック位相に整合させるためのデータ位相整合回路 (34) が提供される。クロック信号の多数の位相がデータ捕獲回路 (40) に供給され、このデータ捕獲回路が、進入する独立同期データをクロック位相の少なくとも一つで捕獲する。そして、データ選移デコーダ (44) がクロックの多数の位相に対してデータ選移の時間を測定する。そして、捕獲されたデータは、データリタイマ回路 (50) により、多数のクロック位相の選択された位相と再整合され、出力 (64) として供給される。したがって、得られたデータは、クロック信号の既知の位相と整合しており、もはやクロック信号に対して独立同期的ではない。また、データのジッタ、ドリフトおよびワンダによるデータソフトを滑り緩衝装置 (38) によって修正することができる。

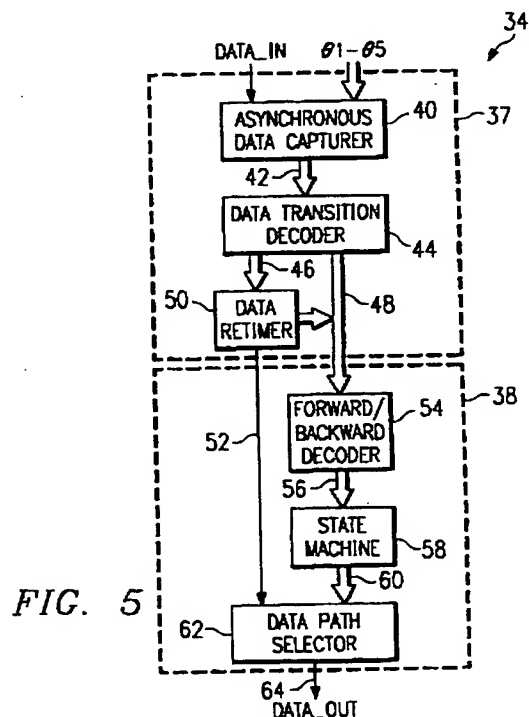


FIG. 5

【特許請求の範囲】

1. データを、所定のクロック信号の多数の位相のうちの選択された位相に整合させるためのデータ位相整合回路であって、

該多数のクロック位相の少なくとも一つによって刻時的に導入された該データを受信するためのデータ捕獲回路と、

該捕獲されたデータを該所定のクロック信号の該選択された位相に整合させるための、該データ捕獲回路に結合されたデータリタイミング回路とを含むデータ位相整合回路。

2. 該捕獲されたデータを受信し、該データがどのクロック位相の間で遷移したかを判断するための、該データ捕獲回路に結合されたデータ遷移デコード回路をさらに含む請求の範囲第1項記載のデータ位相整合回路。

3. 該所定のクロック信号に対する実質的なデータドリフトを検出し、解消するための、該データリタイミング回路に結合された滑り緩衝回路をさらに含む請求の範囲第1項記載のデータ位相整合回路。

4. 該滑り緩衝回路が、該所定のクロック信号に対する該実質的なデータドリフトの方向を決定するための、該データ遷移デコード回路に結合された前進／後退回路を含む請求の範囲第3項記載のデータ位相整合回路。

5. 該滑り緩衝回路が、該前進／後退回路からの該デコードされた

方向に応答して該検出された実質的なデータドリフトを修正するための、該前進／後退回路に結合された制御装置を含む請求の範囲第4項記載のデータ位相整合回路。

6. 該制御装置が状態機械を含む請求の範囲第5項記載のデータ位相整合回路。

7. 該滑り緩衝回路が、変動するクロックサイクル遅延を該データに導入するための、該制御装置に結合されたデータ経路セクタを含む請求の範囲第5項記載のデータ位相整合回路。

8. 該制御装置が、所定の最大値を超えるデータシフトの検出に応答してエラー信号を生成する請求の範囲第5項記載のデータ位相整合回路。

9. 独立同期データを、所定のクロック信号の選択された位相に整合させるため

のデータ位相整合回路であって、

該所定のクロック信号を受信し、該クロック信号の多数の位相を、該選択された位相を含め、生成するためのクロック位相生成回路と、

該多数のクロック位相の少なくとも一つで該データを受信するためのデータ捕獲回路と、

該捕獲されたデータを受信し、該データがどのクロック位相の間で遷移したかを判断するための、該データ捕獲回路に結合されたデータ遷移デコード回路と、

該捕獲されたデータを、該所定のクロック信号の該選択された位

相に整合させるための、該データ遷移デコード回路に結合されたデータリタイミング回路とを含むデータ位相整合回路。

10. 該所定のクロック信号に対する実質的なデータドリフトを解消するための、該データリタイミング回路に結合された滑り緩衝回路をさらに含む請求の範囲第9項記載のデータ位相整合回路。

11. 該滑り緩衝回路が、該所定のクロック信号に対する該実質的なデータドリフトの方向を決定するための、該データ遷移デコード回路に結合された前進/後退回路を含む請求の範囲第10項記載のデータ位相整合回路。

12. 該滑り緩衝回路が、該検出された実質的なデータドリフトを修正するための制御装置を含む請求の範囲第10項記載のデータ位相整合回路。

13. 該制御装置が状態機械を含む請求の範囲第12項記載のデータ位相整合回路。

14. 該滑り緩衝回路が、変動するクロックサイクル遅延を該データに導入するための、該制御装置に結合されたデータ経路セクタを含む請求の範囲第12項記載のデータ位相整合回路。

15. 該制御装置が、所定の最大値を超えるデータソフトの検出に応答してエラー信号を生成する請求の範囲第12項記載のデータ位

相整合回路。

16. 独立同期データを、所定のクロック信号の多数の位相のうちの選択された

位相に整合させる方法であって、

該多数のクロック位相の一つで該データを捕獲する段階と、

該データが初めにどのクロック位相の間で利用可能であったかを判断する段階と、

該捕獲されたデータを、該所定のクロック信号の該選択された位相に整合させる段階とを含む方法。

17. 該所定のクロック信号に対する実質的なデータドリフトを修正する段階をさらに含む請求の範囲第16項記載の方法。

18. 該実質的なデータドリフトの修正段階が、実質的なデータドリフトの方向を検出する段階を含む請求の範囲第17項記載の方法。

19. 実質的なデータドリフトの修正段階が、実質的なデータドリフトの検出された方向に応答してクロックサイクル遅延の変動量を導出する段階を含む請求の範囲第18項記載の方法。

20. 同方向における連続したデータドリフトの回数をカウントする段階と、

所定の最大値を超える同方向における連続したデータドリフトの回数に応答してエラー信号を生成する段階とをさらに含む請求の範囲第18項記載の方法。

【発明の詳細な説明】

発明の名称 データ位相整合回路

発明の技術分野

本発明は一般にデジタル回路の分野に関する。より詳細には、本発明は、近同期データすなわち独立同期データ (plesiochronous data) を既知のクロック位相に整合させるサーキットリー (circuitry) および方法に関する。

発明の背景

タイミングの考慮は多くのデジタル回路用途において重要である。一つのクロック速度のもとで機能する回路が、別のクロック速度で伝送されるデータを受信し、それに対して演算しなければならないことがある。他の場合には、回路は、同じクロック速度で伝送されるが、未知の位相に整合しているデータ、いわゆる独立同期データを受信し、それに対して演算しなければならないこともある。これらの用途においては、回路は、内部クロック回路に比べて、入力データに対するセットアップまたはホールドの要求がない不安定な条件の下でデータを捕獲しなければならないかもしれない。

これらの用途において位相整合 (phase alignment) を達成する一つの方法は、進入データをナイキスト規準にしたがってオーバサンプルする方法である。オーバサンプルに伴う重大な欠点は、サンプルした多量のデータを処理し、記憶するのに要する論理回路の量である。たいていの用途においては、必要な回路の量の多さがきわめて大きな障害を呈する。オーバサンプルを利用して位相整合を達

成することの不適切さは、進入するデータが高速で到達する際に特に明白である。

遠隔通信の分野では、電話、デジタルおよびビデオのデータは、電話ネットワークによって高いデータ速度で伝送され、切り換えられる。このようなデータは、DS1、DS3、T1、STS-1およびSONETのようないかなるデータフォーマットであってもよい。他のデータ変換処理を正しく切り換え、伝送または実行するためには、独立同期データを捕獲し、それを、選択したクロック信号に対して同期的かつ位相整合しているデータに変換しなければならない。例えば

、切換えを行い、切り換えたデータを電話ネットワークに出力する前に不安定な条件の下で独立同期データを受信し、切り換えるために、交差点または交差接続スイッチが必要になるかもしれない。

データの独立同期性に加えて、システム中の種々の通信部品どうしを相互接続する長いケーブルがタイミングの遅延および変動を導出するおそれもある。例えば、開始段または終了段と交差点スイッチとの間の物理的距離は、約150フィート以上であるかもしれない。大気温度の大きな変動およびシステム構成部品の老朽化により、さらなるタイミング障害、例えば電話データに特有のジッタ、ワンダおよびドリフトが導出される。クロックに対するデータの実質的なソフトが起これば、データビットは、データシフトの方向に依存して、本質的に削除または追加される。未修正のままおかれるならば、そのようはデータシフトは、下流側の埋込みビットパターンのフレーム指定においてエラーまたは問題を招くおそれがある。したがって、伝送データにおけるエラーを解消するか大幅に減らすため

には、これらのタイミング問題をも解決しなければならない。

したがって、独立同期データを捕獲し、再整合させる回路または方法の必要性が認識されている。さらには、データのドリフト、ジッタおよびワンダから生じるタイミングおよびフレーム指定の問題もまた、適切に解決されなければならない。

発明の概要

本発明によると、従来の実施態様に伴う欠点および問題を実質的に解消するか減らす、データ位相整合回路およびそのための方法が提供される。

本発明の一つの態様においては、クロック信号の多数の位相を生成し、データ捕獲回路を使用して、進入する独立同期データを少なくとも一つのクロック位相で捕獲する。独立同期データとは、クロックの特定の位相と整合していないデータである。そして、捕獲したデータを多数のクロック位相の選択された位相と再整合させ、それを出力として供給する。したがって、得られたデータはクロック信号の既知の位相と整合しており、もはやクロック信号に対して独立同期的では

ない。

本発明のもう一つの態様においては、滑り緩衝装置をさらに設けて、クロック信号に対するデータのシフトを修正する。データシフトの方向および量に依存して、滑り緩衝装置は、出力データのデータ経路に適当な数のビット時間を追加するか、そこから削除するかのいずれかを行う。

本発明のさらに別の態様においては、データ捕獲回路を設けて、データをクロック信号の多数の位相でクロックインする。すると、データ遷移デコード回路が、捕獲されたデータを検査して、どのク

ロック位相の間でデータ遷移が起こったのかを判断する。そして、この情報を用いて、データ再タイミング回路が、捕獲されたデータをクロックの選択された位相に整合させ、整合させたデータを出力として供給することができる。滑り緩衝装置をさらに設けて、必要に応じてデータのシフトを前方または後方に調節してもよい。

データ位相整合回路は、さらなる制御能力を得るためにマイクロプロセッサに結合してもよい。特定のクロック信号へのデータの整合が望まれる場合には、常にデータ位相整合回路を用いることができる。特に、データ位相整合回路を、電話、ビデオおよび他のデジタル情報を伝送する遠隔通信システム中の開始段と交差接続スイッチとの間に結合して、切換えおよび送出の前にデータが内部クロックに対して正しく整合されるようにすることが望ましい。

本発明の重要な技術的利点は、データのオーバサンプリングおよびそれに伴う欠点なしに、データ位相整合を供給する。独立同期的であるデータを受信し、そのデータを既知のクロック位相に再整合させるためのインタフェースが達成される。

遠隔通信の分野では、広い温度変動および構成部品の老朽化により、データのジッタ、ドリフトおよびワンダがシステムに特有である。データ位相整合回路のさらに別の技術的利点は、システムクロックに対してデータシフトが起きた場合にタイミングの修正を提供する。この機能がエラーを減らし、下流側の埋込みビットパターンフレーム指定を容易にする。

図面の簡単な説明

本発明をより理解するため、添付の図面を参照することができる。

図 1 は、電話切換えシステムの簡略化した上位ブロック図である。

図 2 は、データ位相整合回路を備えた交差点切換えのブロック図である。

図 3 は、位相固定ループの形態にある多重クロック位相生成装置である。

図 4 は、データ位相整合回路の動作を示すタイミング図である。

図 5 は、データ位相整合回路の好ましい実施態様の機能ブロック図である。

図 6 a ～ c は、リタイマ回路の好ましい実施態様の回路図である。

図 7 a および 7 b は、滑り緩衝回路の好ましい実施態様の回路図である。

発明の詳細な説明

図 1 は、本発明のデータ位相整合回路の一つの例示的な環境を示す。電話スイッチ 10 が開始段 12 と終了段 14 との間に結合されている。開始段 12 は、電話、デジタルおよびビデオのデータ 16 を受信し、何らかのデータ変形処理を実行したのち、データをスイッチ 10 に供給する。これらの変形は、データ 16 のデータフォーマットを、種々の工業規格フォーマット、例えば DS1、DS3、T1、STS-1 および SONET から、スイッチ 10 の 1 種以上の内部データフォーマットに変更することを含む。そして、スイッチ 10 は、フォーマットされたデータ 18 を受信し、そのデータを所望の出力に切り換え、切り換えたデータ 20 を終了段 14 に供給する。その後、データは、工業規格フォーマット 22 に再変形され、電話ネットワーク（図示せず）に送られて、宛先に転送される。

図 1 に記す環境においては、開始段 12 から進入するデータ 18 は、スイッチ 10 の内部クロックに対して独立同期的である。換言

するならば、データが遷移する時間が未知である。本発明のデータ位相整合回路は、独立同期データを捕獲し、そのデータを、スイッチ 10 に供給する前に、選択されたクロック位相に整合させるようになっている。

図 2 を参照すると、スイッチ 10 の実施態様は、CLOCK 信号の多数の位相 $\theta_1 \sim \theta_5$ を生成する位相固定ループ (PLL) 30 を含む。位相固定ループ 3

0は、図3に関連して以下さらに詳述する。所定の数のデータ位相整合回路34が、開始段12から進入する独立同期直列データDIO-DInを受信する。入力データの数、処理するように設計されたデータチャネルスイッチ10の数によって決まる。各データ位相整合回路34は、CLOCK信号の位相 $\theta_1 \sim \theta_5$ 、すなわち直列データを受信し、そのデータをCLOCK信号の選択された位相に整合させる。そして、整合したデータは切換えマトリックス36に供給され、このマトリックスがデータを切り換え、マトリックス36の所望の出力DO1-DO_nに送る。

多重クロック位相生成装置の例を示す実施態様として、位相固定ループ30が図3に示されている。一般に、位相固定ループ30は、所定の周波数の入力CLOCK信号を受信し、その入力CLOCK信号から異なる周波数の内部クロックを生成する。位相固定ループ30は、電圧制御発振器(VCO)43およびループフィルタ45に結合された位相検出器41を含む。位相検出器41は、入力CLOCK信号を、電圧制御発振器43からの分割された出力と比較し、エラー電圧を発生させる。このエラー電圧を、電圧制御発振器43に送る前に、外部のループまたは低域フィルタ45によってろ過して、高周波数ノイズまたは交流(ac)成分を除去してもよい。電

圧制御発振器43は、内部クロックの多数の位相を出力する。

より詳細には、6.48MHzの入力CLOCK信号を供給するように具現化することができ、電圧制御発振器の出力を分割して8倍にするならば、生成される内部クロック信号は51.84MHzになるであろう。これらのクロック周波数およびデータ位相整合回路34の動作の場合、それぞれが約3.86ナノ秒ずつずれた5個のクロック位相 $\theta_1 \sim \theta_5$ が適当であることがわかった。

図4は、データ位相整合回路34の、入力直列データDATA_INおよび出力直列データDATA_OUTに対するクロック位相 $\theta_1 \sim \theta_5$ のタイミング図を示す。直列データDATA_INは、図2に示す入力データ流DIO-DInのいずれかであることができる。図示するとおり、入力された独立同期直列データDATA_INは、内部クロック信号のいずれか一つの位相の立上りエッジで

利用することができる。データ位相整合回路 34 のタスクは、データを、内部クロックの位相の一つのアクティブなエッジで捕獲し、そのデータをクロックの選択された位相に再整合させ、データのシフトを検出、修正することである。図 4 に示すように、出力データ DATA_OUT は、内部クロックの $\theta 1$ に整合している。

説明しやすくするため、データ位相整合回路 34 は、図 5 の機能ブロックに分割して示し、図 6 a ~ c ならびに 7 a および 7 b の詳細図に関連させて以下に説明する。

データ位相整合回路 34 は、それぞれが別個の機能を実行する二つの主要な機能ブロック、すなわちリタイミング回路 37 および滑り緩衝装置 38 からなる。一般に、リタイミング回路 37 は、DATA_IN を内部クロックの選択された位相に整合させるタスクを

実行し、滑り緩衝装置 38 は、データシフトを内部クロックの境界に対して修正するタスクを実行する。これらの機能ブロックそれぞれを順に説明する。

リタイミング回路 37 は、直列入力データである DATA_IN および内部クロックの位相 $\theta 1 \sim \theta 5$ を受信する非同期データ捕獲装置 40 を含む。非同期データ捕獲装置 40 のタスクは、進入するデータを 5 個のクロック信号の少なくとも 1 個のアクティブなエッジで捕獲することである。図 6 a を参照すると、このタスクは、カスケード式 D フリップフロップ 90 ~ 108 の対 80 ~ 88 によって具現化することができる。各対は、直列入力データ DATA_IN を受信し、内部クロックの一つの位相によって刻時される。このように具現化されると、データ遷移がどこで起こるかに依存して、データは、フリップフロップの選択された 1 個以上の対によって捕獲される。

そして、捕獲されたデータおよび選択されたクロック信号 42 は、リタイミング回路 37 の次の機能ブロック、すなわちデータ遷移デコーダ 44 に通される。データ遷移デコーダ 44 は一般に、5 個のクロック位相に対するデータ遷移の発生を判断するタスクを実行する。換言するならば、データ遷移デコーダ 44 は、クロックのどの位相のアクティブなエッジの間でデータ遷移が起こったかを判断

する。

データ遷移デコーダ44のタスクは、図6aに示すように具現化することができる。Dフリップフロップ80～88の各対によって刻時されるデータ信号は、排他的NORゲートに通され、この排他的NORゲートは、データ信号と、連続するDフリップフロップ対

からのデータ信号との排他的ORの反転を取る。したがって、排他的NORゲートへの一方の入力が低であり、他方が高であり、その結果、排他的NORゲートの出力が低になることにより、データ遷移が指示される。

例えば、排他的NORゲート110は、内部クロックの θ_1 によって刻時的に導入されたデータ信号と、内部クロックの θ_2 によって刻時的に導入されたデータ信号との排他的NORを取り、排他的NORゲート112は、内部クロックの θ_2 によって刻時的に導入されたデータ信号と、内部クロックの θ_3 によって刻時的に導入されたデータ信号との排他的NORを取り、排他的NORゲート114は、内部クロックの θ_3 によって刻時的に導入されたデータ信号と、内部クロックの θ_4 によって刻時的に導入されたデータ信号との排他的NORを取る。 θ_4 および θ_5 データの構成は、進入するデータ中に存在するかもしれないタイミング特異性を受け入れるためにいくらか異なるが、基本概念は同じままである。排他的NORゲート116は、 θ_4 によって刻時的に導入されたDフリップフロップからの出力と、より安定化した θ_5 データを供給するDフリップフロップ180からの出力とを取る。図示するとおり、Dフリップフロップ180は内部クロックの θ_3 によって刻時される。同様に、排他的NORゲート118は、Dフリップフロップ108からの θ_5 データおよびDフリップフロップ186の出力からのより安定化した θ_1 データに演算を加える。Dフリップフロップ186は、フリップフロップ90の出力から θ_1 データ（信号DD1として示す）を受信し、 θ_4 （XCLK4として示す）によって刻時される。

そして、排他的NORゲート110～118からの出力が、 θ_1 、 θ_2 、 θ_3 、 θ_4 および θ_5 データそれぞれのためのクロック位相 θ_3 、 θ_4 、 θ_5 、 θ_5

および $\theta 1$ によって制御される相補形MOS (CMOS) 伝送ゲート120～128それぞれに供給される。インバータ130～138がそれぞれのクロック位相信号の補数を供給する。図示するように、インバータ139を使用して、 $\theta 5$ クロック信号のためのさらなる駆動能力を供給してもよい。そして、伝送ゲート120～128からの出力がNORゲート140～148に供給されて、これらの他方の入力それぞれORゲート150～158の出力を受信する。各ORゲート150～158への入力は、他のすべてのNORゲート140～148の出力を集めたものである。事実上、各排他的NORゲートの入力がそれぞれの位相データおよびその連続する位相データに低状態および高状態を見るならば、NORゲートの出力は高、すなわち論理1である。排他的NORゲートへの入力が低および高であるとき、それは、各クロック位相と次のクロック位相との間でデータ遷移が起こったことを示している。

潜在的なタイミング錯綜のため、 $\theta 4$ データの構成はわずかに変更されている。伝達ゲート126が、図示するように、インバータ170に結合され、このインバータ170の出力がNANDゲート172の一方の入力に結合されている。NANDゲート172の他方の入力は伝達ゲート124から $\theta 3$ データを受信する。作動中、グリッチがゲート158に伝播しないようになっている。

図6bおよび6cに示すデータリタイマ回路50は、一般に、捕獲したデータを内部クロック信号の $\theta 1$ に再整合させる。これは、

まず、データをクロック信号の $\theta 1$ または $\theta 3$ のいずれかに整合させたのち、データを $\theta 1$ クロックのエッジに再整合させることによって実施される。また、滑り緩衝装置38で使用するためのデータ遷移情報が誘導される。

NORゲート140～148の出力は、ANDゲート160～168の一方の入力にそれぞれ供給され、ANDゲートの他方の入力は、図6bに示すデータリタイマ回路50からフィードバック信号を受信する。各ANDゲート160～168の出力は、データリタイマ回路50の各Dフリップフロップ200～208に送り出され、最初の2個のDフリップフロップが $\theta 1$ クロック信号によって刻時され、残りが $\theta 3$ クロック信号によって刻時される。そして、Dフリップフロ

ップ200および202の出力がNORゲート232の入力に供給され、このNORゲートが、 $\theta 1$ クロックエッジと $\theta 2$ クロックエッジとの間でデータ遷移が起こったことを示す複合信号を生成する。 $\theta 3$ 、 $\theta 4$ および $\theta 5$ クロックの間でデータ遷移が起こったという指示をブロックアウトするため、NORゲート232の出力はANDゲート166および168に戻される。

Dフリップフロップ204~208の出力は、NORゲート230の入力に供給され、このNORゲートが、 $\theta 3$ 、 $\theta 4$ および $\theta 5$ クロックの間でデータ遷移が起こったことを示す複合信号を生成する。NORゲート230の出力は、ANDゲート160および162に戻されて、 $\theta 1$ クロックと $\theta 2$ クロックとの間でデータ遷移が起こったという指示をブロックアウトする。さらなるフィードバック信号がフリップフロップ200の反転出力によって供給され、この反転出力は、 $\theta 3$ データに関連するANDゲート164の一方の

入力に送り出される。ANDゲート164の他方の入力は、フリップフロップ208のフィードバック反転出力を受信する。

もう一組のDフリップフロップ210~218が、入力データDATA_INを $\theta 1$ または $\theta 3$ のいずれかのクロックエッジに整合させる。Dフリップフロップ210および212は、それぞれフリップフロップ96および100の出力を受信し、 $\theta 1$ によって刻時される。Dフリップフロップ214~218は、それぞれフリップフロップ104、108および92の出力を受信し、 $\theta 3$ によって刻時される。

作動中、 $\theta 1$ と $\theta 2$ または $\theta 2$ と $\theta 3$ のクロックエッジの間でデータ遷移が起こるならば、データは $\theta 1$ クロックエッジに再整合される。 $\theta 3$ と $\theta 4$ 、 $\theta 4$ と $\theta 5$ または $\theta 5$ と $\theta 1$ のクロックエッジの間で遷移が起こるならば、データは $\theta 3$ クロックエッジに再整合される。 $\theta 1$ および $\theta 2$ のDフリップフロップ200および202出力のANDゲート166および168へのフィードバックならびに反転フリップフロップ200のANDゲート164への出力が、 $\theta 3$ 、 $\theta 4$ および $\theta 5$ に関連するフリップフロップ204~208の出力をブロックアウトするように作用する。同様に、 $\theta 3$ 、 $\theta 4$ および $\theta 5$ のフリップフロップ204~

208の出力が、 $\theta 1$ および $\theta 2$ に関連するフリップフロップ200および202をブロックアウトするように構成されている。

フリップフロップ200～218の出力はさらに論理ゲートの構成に供給されて、データリタイマ50および滑り緩衝装置38で使用されるデータ遷移情報を導出する。これらの論理ゲートは、図6bに示すように結合されたNORゲート240～248、ORゲ

ート250～258およびNANDゲート260～268を含む。インバータ270および272が、フリップフロップ210の出力のためのさらなる負荷能力を供給する。また、ファンアウトを増すために、 $\theta 1$ および $\theta 3$ クロック信号はさらにインバータ280、282、284および286によってそれぞれ駆動される。得られるクロック信号は、インバータによって導入される既知の量だけ遅延した $\theta 1$ および $\theta 3$ クロック信号である。導出される特定の信号は、参照および説明を容易にするため、図面中では標識を付けて示す。

図6cを参照すると、データリタイマ50は、データをクロック信号の $\theta 1$ に整合させる最終的なリタイミング段を含む。これは、図6cに示す論理回路構成によって達成することができる。本質的に、ORゲート314の出力は、 $\theta 1$ および $\theta 2$ または $\theta 3$ 、 $\theta 4$ および $\theta 5$ のいずれかのクロックエッジで刻時的に導入されるデータを運ぶ。この場合、最初のグループが $\theta 1$ クロックと整合し、第二のグループが $\theta 3$ クロックと整合する。これは、NANDゲート260および262（図6b）の出力から、 $\theta 1$ および $\theta 2$ データを表すデータ信号をNANDゲート290の入力に供給することによって具現化することができる。ANDゲート296は、NANDゲート290の出力、 $\theta 5$ データの反転および前進／後退デコーダ54（図7a）によって生成される他の制御信号を受信して、実質的に $\theta 1$ または $\theta 2$ データを生成する。そして、この $\theta 1$ または $\theta 2$ データはDフリップフロップ310によって $\theta 1$ クロックエッジで刻時的に導入されるため、データは $\theta 1$ クロックと整合する。

NANDゲート264～268（図6b）からの $\theta 3$ 、 $\theta 4$ および $\theta 5$ データ信号は、NANDゲート292の入力に供給され、こ

のNANDゲートの出力は、NANDゲート298からのクロック信号の複合体によって制御される伝送ゲート306に通される。NANDゲート298は、その入力が、遅延した $\theta 1$ クロック、インバータ300からの遅延した $\theta 3$ クロックの反転およびNORゲート302の出力を受信する。NORゲート302は、 $\theta 1$ および $\theta 2$ のクロックエッジで遷移しないデータを示す信号を生成する。伝送ゲート306の出力は、遅延した $\theta 3$ クロックによって刻時されるDフリップフロップ312に送り出される。そして、フリップフロップ310および312の出力がORゲート314の入力に供給され、これが、図7bに示すデータ経路セクタ62に送られる。DATA2と標識されたORゲート314からの出力は、クロック位相の一つで刻時的に導入されるデータを運ぶ。インバータ270および272によって増強された、 $\theta 2$ デーを有するDフリップフロップ210（図6b）の出力はさらに、ファンアウトを考慮してインバータ316および318に送り出され、Dフリップフロップ320に供給される。DATA1と標識されたフリップフロップ320の出力もまた、図7bのデータ経路セクタ62に送られる。

図7aを参照すると、前進／後退デコーダ54の実施態様の詳細図が示されている。前進／後退デコーダ54は、データが滑りまたはドリフトしてクロックの境界を越えたかどうか、また、ドリフトの方向が前か後かを判断する。例えば、データが初め $\theta 1$ クロックエッジと $\theta 2$ クロックエッジとの間で遷移したが、今は $\theta 4$ クロックエッジと $\theta 5$ クロックエッジとの間で遷移しているならば、データは1クロック境界だけ後方に滑りをしたことになる。このタスクは、図7aに示す論理回路を用いて具現化することができる。得ら

れる信号は、FORWARD、BACKWARDおよびSLIPと標識され、前方へのデータシフト、後方へのデータシフトおよびデータ滑りの発生をそれぞれ示す。

前進／後退デコーダ54は、データリタイマ50（図6b）から信号TT4を受信し、NANDゲート334からフィードバック信号を受信するANDゲート330を含む。ANDゲート330の出力は、遅延した $\theta 1$ クロックによって刻

時されるDフリップフロップ332の入力に供給され、このDフリップフロップの出力はNANDゲート334の一方の入力に供給される。NANDゲート334の他方の入力、図6bのデータリタイマからT2信号を受信する。NANDゲート334の出力は、インバータ336によって反転され、ORゲート338の入力に供給される。このORゲートの出力は、遅延した θ 3クロックによって刻時される別のDフリップフロップ340に送り出される。

NORゲート342は、 θ 4と θ 5および θ 5と θ 1のクロックエッジの間でデータ遷移が起こっていることをそれぞれ示す入力TT4およびTT5を受信し、その出力をインバータ344に供給する。インバータ344の出力は、NANDゲート346の入力に結合され、そのもう一つの入力、図6bのデータリタイマ50からT12を受信する。NANDゲート346の出力は、 θ 3クロックによって刻時されるDフリップフロップ348に供給される。フリップフロップ348の出力はさらに、 θ 1クロックによって刻時されるDフリップフロップ350に結合される。フリップフロップ340および350の出力はNORゲート352に送り出されて、このNORゲートがFORWARD信号を生成する。

BACKWARD信号は、別の一連の論理ゲートによって生成される。NORゲート360がデータリタイマ50（図6b）から信号TT1およびTT2を受信し、その出力がORゲート362の一方の入力に供給される。ORゲート362はまた、データリタイマ回路50（図6b）からT345信号を受信し、その出力を、 θ 1クロックによって刻時されるDフリップフロップ364に供給する。フリップフロップ364の出力は、インバータ366によって反転され、NANDゲート368の一方の入力によって受信される。NANDゲート368の他方の入力、信号T4およびDフリップフロップ370の出力に対して演算を加え、信号TT2を θ 1クロック上で保持するNANDゲート372からの出力を受信する。そして、NANDゲート368の出力は、同じく θ 1クロックによって刻時されるDフリップフロップ374に供給される。NORゲート376は、フリップフロップ374および348の出力を受信し、BACKWARD信号を生成する。ORゲート380がFORWARDおよびBACKWARD信号を取

り込み、SLIP信号を生成する。01クロック信号は、図7bに示す状態機械58による使用のために、インバータ382によって反転される。

図7bに示す状態機械58は、前進/後退デコーダ54からFORWARD、BACKWARDおよびSLIP信号を受信し、データ経路セクタ62への制御信号S1、S0を生成する。状態機械58はまた、いずれか一方向に生じたシフトの回数を記録し、そのカウント値が所定の最大値を超えたならばエラー信号を発する。図示する実施態様では、一方向への連続シフトの回数は1回に制限されている。予想されるとおり、この回数はまったく用途依存性であ

り、例えば一方向、連続2回のシフトを受け入れるように実施態様を変更してもよい。

以下の真理値表を参照することにより、状態機械58およびデータ経路セクタ62の作動がさらに理解されよう。

状 態	S1	S0	前 進	後 退	S1	S0	デ ー タ 経 路
1	0	0	1	0	1	0	D2
2	1	0	0	1	0	0	D0
3	1	0	1	0	0	0	エ ラ ー
4	0	0	0	1	0	1	D1
5	0	1	0	0	1	1	D3
6	0	1	1	0	0	0	D0
7	1	1	1	0	0	0	D0
8	1	1	0	1	0	0	エ ラ ー
9	X	X	\overline{XRS}		0	0	リ セ ャ ト

上記の真理値表に示すように、9種の可能な状態があり、そのうち二つがエラー状態であり、一つがリセット状態である。信号S1およびS0は、状態機械58によって生成されるマルチプレクサ502のセレクト入力を指し、FORWARDおよびBACKWARD信号は、前進/後退デコーダ54からの同名称の出

力を指す。信号S1およびS0が事実上、どちらの遅延経路をデータに使用すべきかを決定する。例えば、S1およびS0がいずれも低であるとき、D0入力またはマルチプレクサ500の出力が選択される。それは、マルチプレクサ500のセレクトラインのレベルに依存して、遅延

した θ 1クロックによって刻時され、2クロックサイクルだけ遅延したDATA2または同じく遅延した θ 1クロックによって刻時され、1クロックサイクルだけ遅延したDATA1のいずれかであることができる。マルチプレクサ500のセレクト信号は、遅延した θ 1クロックによって刻時されるDフリップフロップ482の出力から導出される。Dフリップフロップ424からのS1信号は、前進/後退デコーダ54からのBACKWARD信号とともに、ANDゲート480の入力に送り出され、このANDゲートの出力はDフリップフロップ482に供給される。S1信号およびBACKWARD信号がいずれも高であるとき、Dフリップフロップ482への入力が高であり、これが、遅延した θ 1クロックによって刻時され、1クロックサイクルだけ遅延したDATA1信号を選択する。

S1およびS0がそれぞれ低および高であるとき、マルチプレクサ502へのD1入力を選択され、それは、遅延した θ 1クロックによって刻時され、2クロックサイクルだけ遅延したDATA1である。S1およびS0がそれぞれ高および低であるとき、マルチプレクサ502へのD2入力を選択され、それは、遅延した θ 1クロックによって刻時され、1クロックサイクルだけ遅延したDATA2である。最後に、S1およびS0がいずれも高であるとき、マルチプレクサ502へのD3入力を選択され、それもまた、遅延した θ 1クロックによって刻時され、ただし3クロックサイクルだけ遅延したDATA2である。図7bに示すように、クロックサイクルにおける遅延は、カスケード式Dフリップフロップ490～498によって達成される。

真理値表の状態1を参照すると、信号S1およびS0の現在値が

いずれも低であり、前方へのデータシフトが高状態のFORWARD信号によって示されるとき、状態機械58は、セレクト信号S1およびS0それぞれについて

て高および低の値を生成する。この結果、マルチプレクサ502へのD2入力が選択され、出力に供給されて、それがさらに、遅延した θ 1クロックによってDフリップフロップ504に通されて、DATA__OUTを生成する。

S1およびS0がそれぞれ高および低であり、後方へのシフトが高状態のBACKWARD信号によって示されると、状態機械58はS1およびS0の両信号をリセットし、D0データ経路が選択される（状態2）。しかし、そうではなく、S1およびS0がそれぞれ高および低であるときに前方へのソフトが示されるならば、状態機械58はエラー状態に入る。図示する実施態様においては、同じ方向への連続2回以上のデータシフトがエラーになるということが思い出されよう。状態機械58が1回の前方ソフトによって状態1に入り、もう1回の前方シフトによって状態3に入ると、前方への連続2回のシフトが検出され、ERROR出力472を生成することによってエラーがフラグされる。エラー状態では、マルチプレクサ502へのS1およびS0信号をリセットすることにより、D0入力が選択される。

S1およびS0がいずれも低であり、後方へのシフトが検出されるならば、状態機械58は、S1およびS0がそれぞれ低および高である状態4に入る。状態4では、マルチプレクサ502への入力D1、すなわち3クロックサイクル分の遅延をもつDATA1が選択される。そして、FORWARDおよびBACKWARD信号がいずれも低ならば、状態4は状態5に遷移し、その結果、S1およ

びS0がいずれも高にセットされる。状態5では、D3、すなわち3クロックサイクル分の遅延をもつDATA2が選択される。

他方、状態4で、前方へのシフトが検出されるならば、状態機械58は、S1およびS0がいずれも低にリセットされる状態6に入る。状態6では、マルチプレクサ502へのD0入力が選択される。状態5から、前方へのシフトが示されるならば、状態機械58は、S1およびS0をいずれも低にリセットすることによってD0が選択される状態7に入る。状態5から、後方へのデータシフトが検出されるならば、連続2回の後方シフトのため、エラー状態8に入る。状態8では、S1およびS0セレクト信号が低にリセットされて、マルチプレクサ502

へのD0入力が選択される。上述の状態に加えて、マイクロプロセッサ（図示せず）によって発されるXRSと標識された信号を使用して状態機械58をリセットし、マルチプレクサ502へのD0入力を選択することができるリセット状態が含まれる。

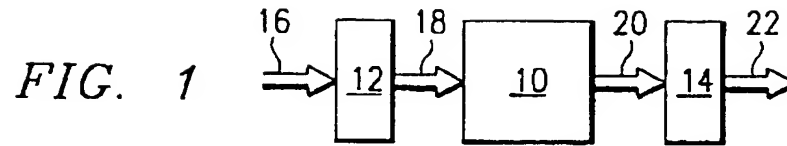
上記の真理値表は、多数の方法で具現化することができ、その一つを図7bに示す。エラー信号ERRORおよびその関連の信号ERRがセットリセットフリップフロップ470によって生成される。このセットリセットフリップフロップは一方でそのセット入力をNANDゲート462～466から受信する。NANDゲート462～466は、入力として、信号FORWARD、反転S0（Dフリップフロップ444の反転出力から）、S1、BACKWARDおよびS0（Dフリップフロップ444の出力から）を受信する。NANDゲート462～466が、エラー状態3および8に必要な論理レベルを作り出す論理、すなわち（ $FORWARD \cdot S0 \cdot S1$ ）

+（ $BACKWARD \cdot S0$ ）を生成することがわかる。セレクト信号S1を生成するための論理ゲート406～416、セットリセットフリップフロップ420およびDフリップフロップ422を使用して、他の状態が同様に生成される。NANDゲート432～440および446、セットリセットフリップフロップ442ならびにDフリップフロップ444および448がセレクト信号S0を生成する。

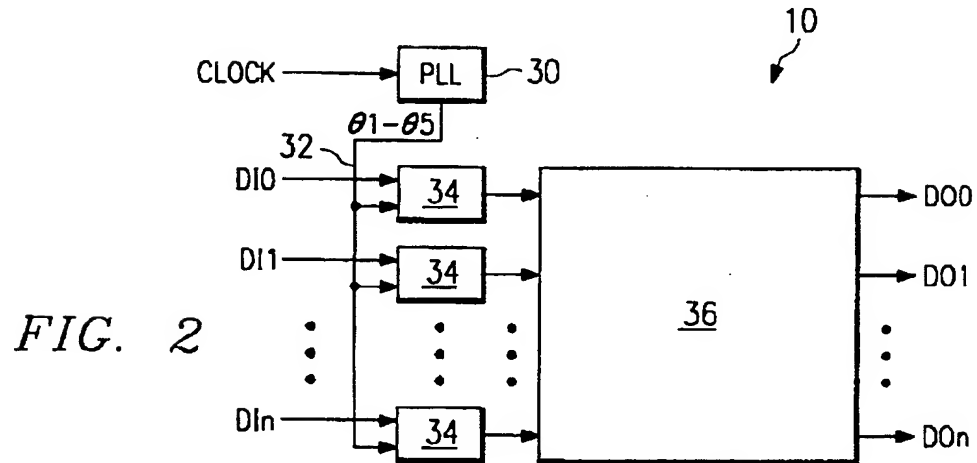
このように具現化されると、進入する独立同期データが捕獲され、既知のクロック位相に整合される。さらには、前方および後方への実質的なデータシフトが検出され、修正される。データ位相整合回路34は、システムが独立同期データを受信し、それに対して演算を加えなければならない用途に特に適している。

本発明を詳細に説明してきたが、添付の請求の範囲によって定義する本発明の真髄および範囲を逸脱することなく、本発明に対して種々の変更、代用および変形を加えることができるということを理解すべきである。

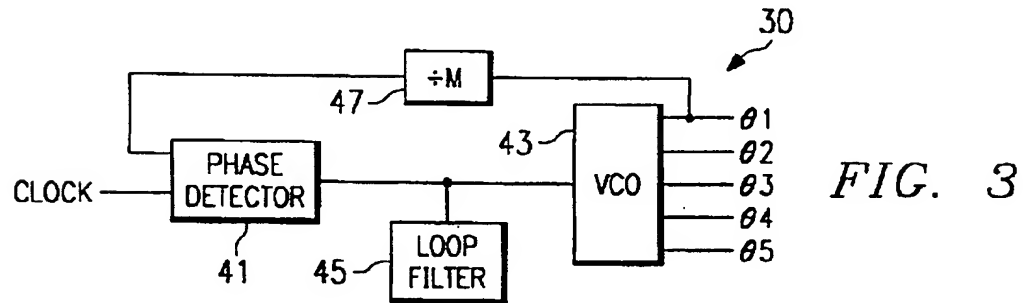
【図1】



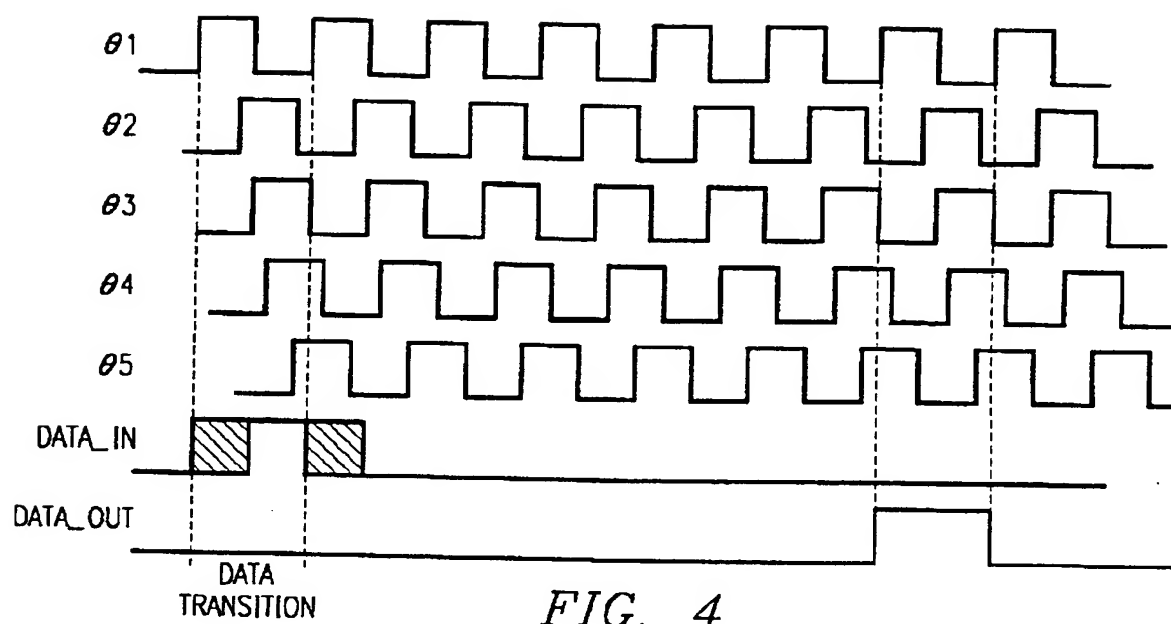
【図2】



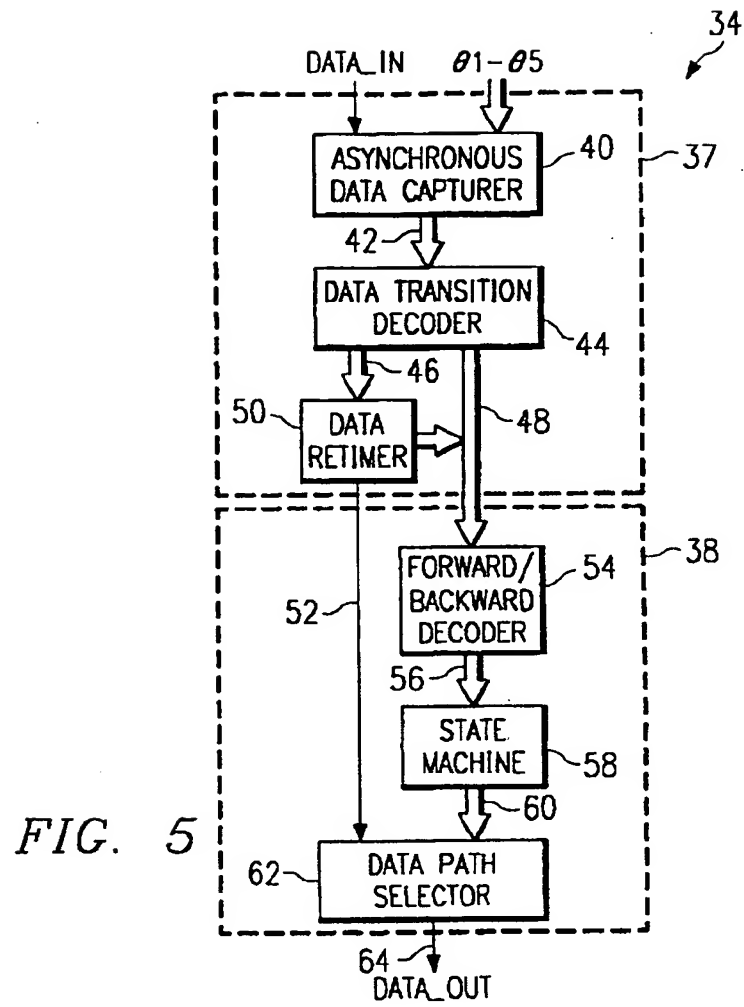
【図3】



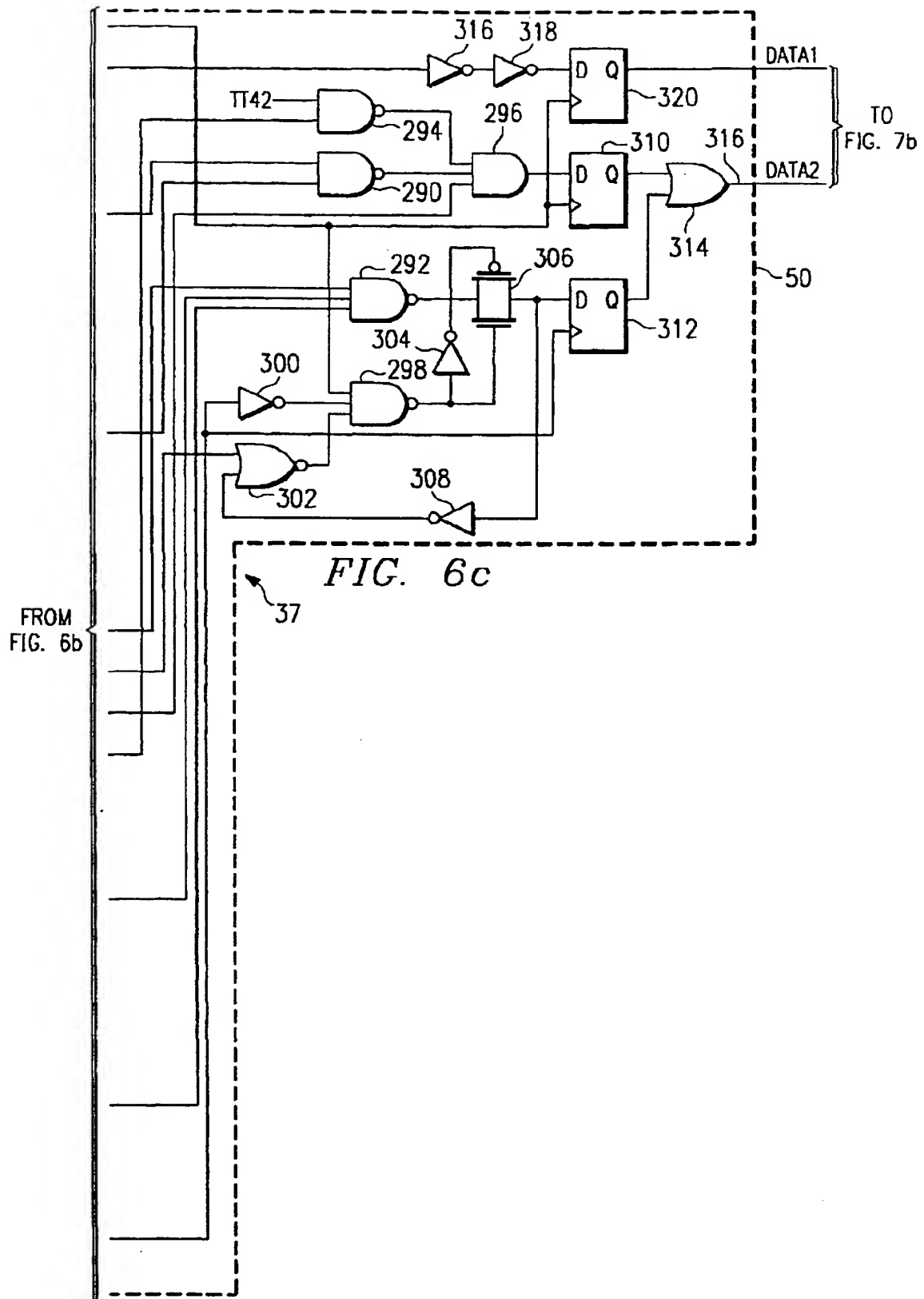
【图4】



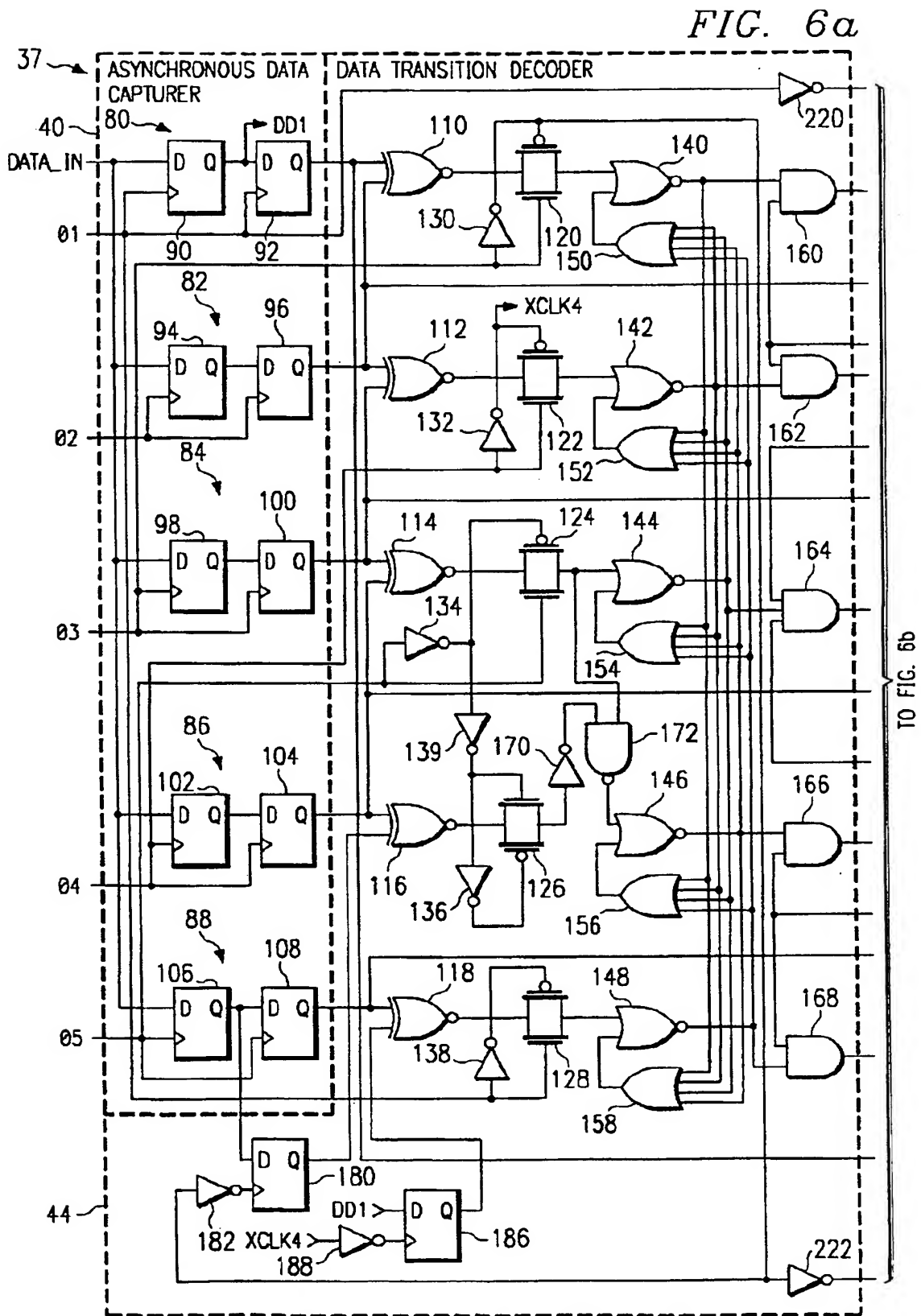
【図5】



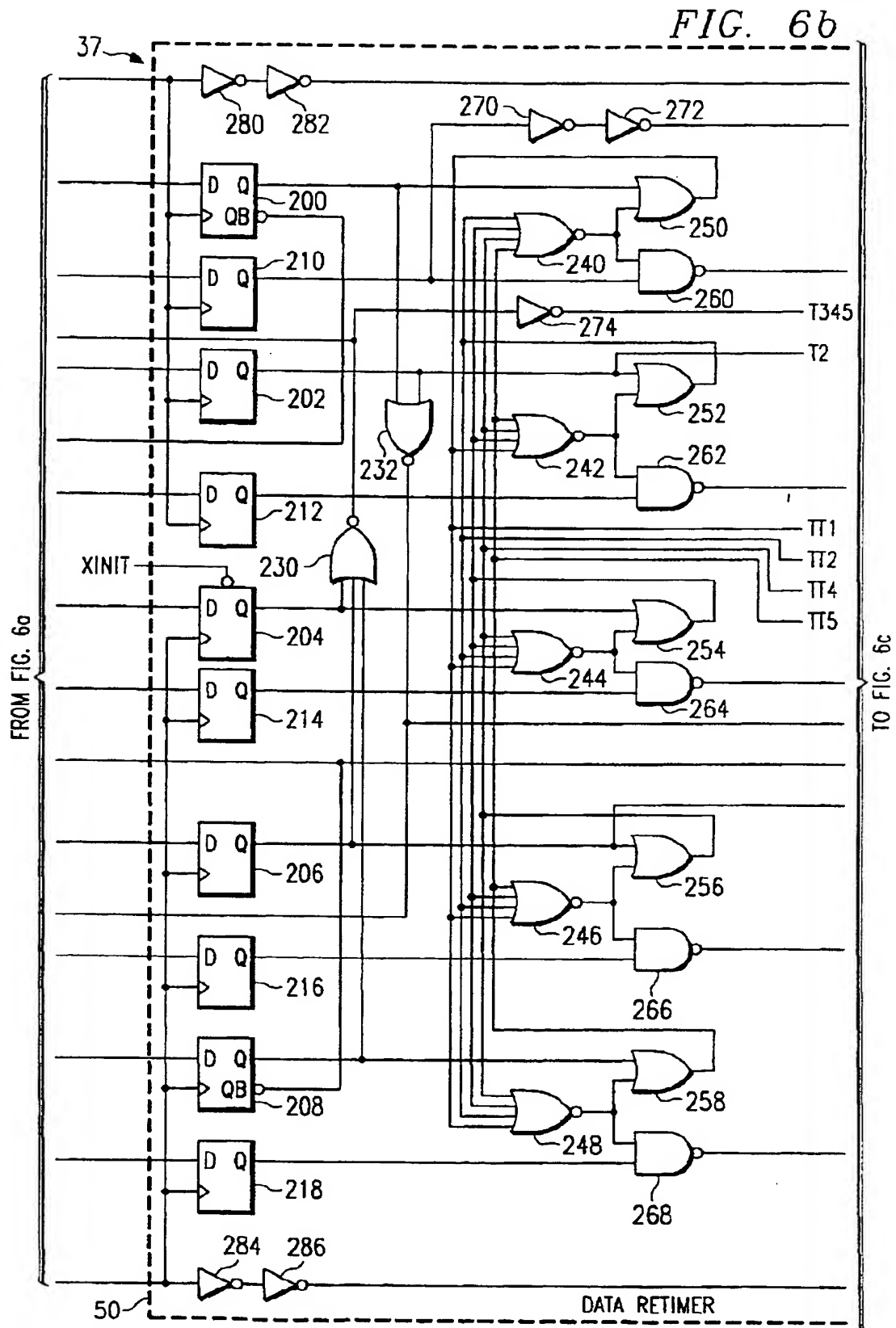
【図6】



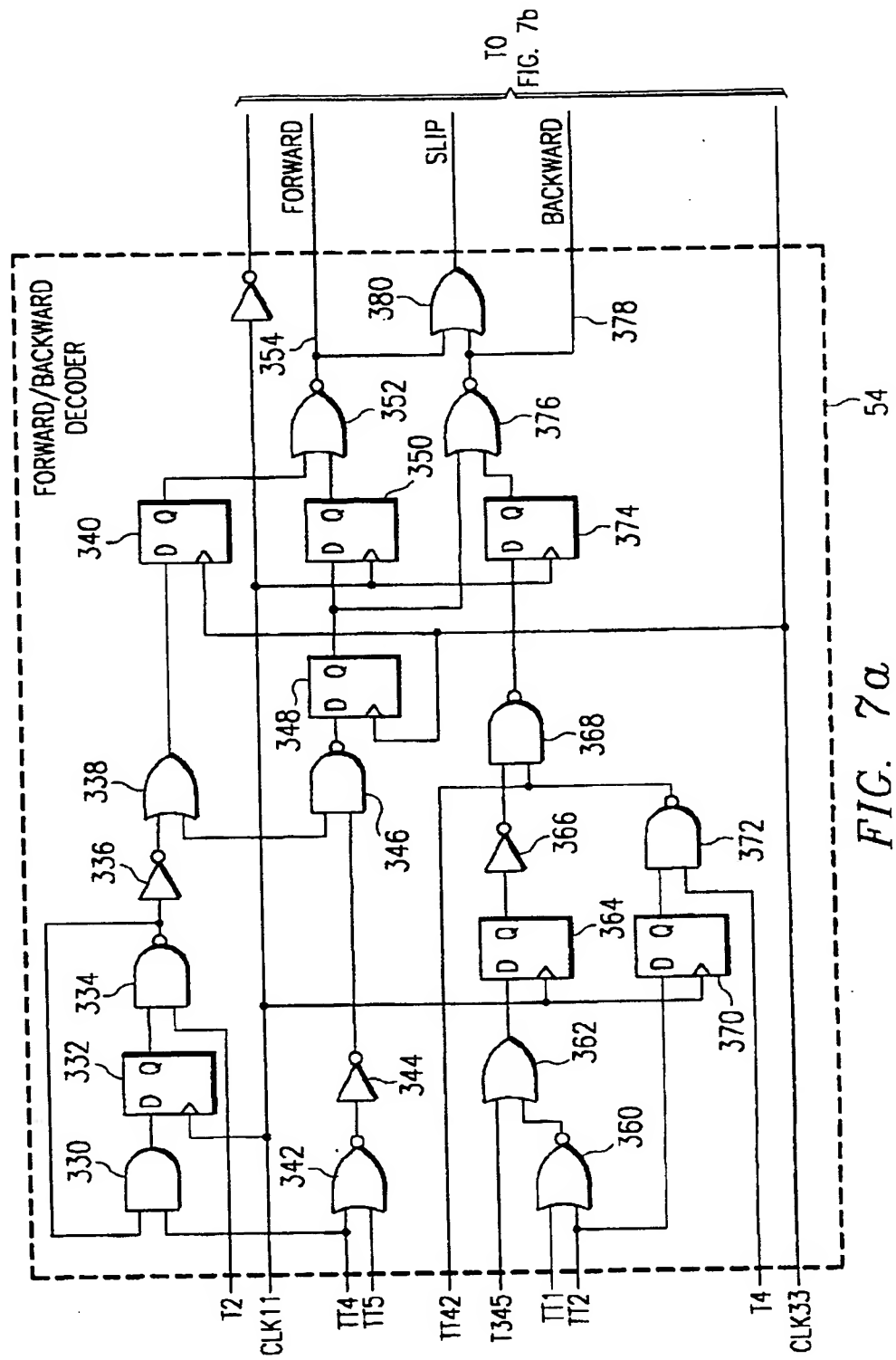
【图6】



【図 6】



【图 7】



【図7】

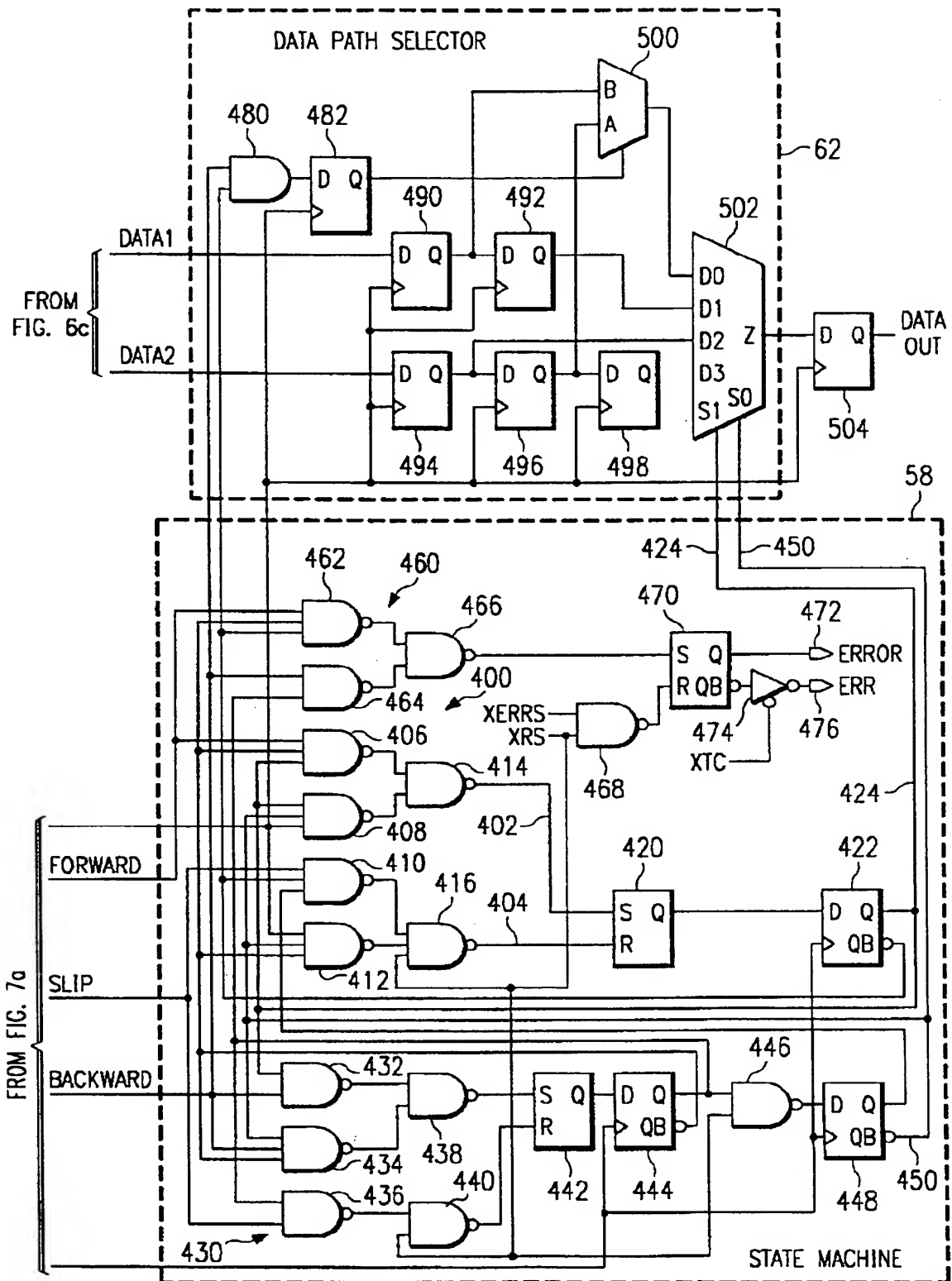


FIG. 7b

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US94/13738

A. CLASSIFICATION OF SUBJECT MATTER

IPC(5) : H04L 7/00, 25/35, 25/40

US CL : 375/118; 370/105.3; 327/2

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

U.S. : 375/118, 119, 106, 111; 370/105.3, 100.1, 105, 108; 327/2, 3, 22, 23, 24, 27, 1; 371/1, 47.1

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X --- Y	US, A, 5,002,056 (HENDERSON et al) 04 June 1991, see Fig. 5.	1-2, 9 and 16 ----- 3-8, 10-15 and 17-20
Y	US, A, 4,860,283 (TAKANO et al) 22 August 1989, see Fig. 11B, column 11 lines 3-8 and column 16, lines 1-6.	3-8, 10-15 and 17-20
A	US, A, 4,012,598 (WILEY) 15 March 1977.	1-20

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

A document defining the general state of the art which is not considered to be part of particular relevance

E earlier document published on or after the international filing date

L document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

O document referring to an oral disclosure, use, exhibition or other means

P document published prior to the international filing date but later than the priority date claimed

T

later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

X

document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

Y

document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

Z

document member of the same patent family

Date of the actual completion of the international search

26 JANUARY 1995

Date of mailing of the international search report

14 MAR 1995

Name and mailing address of the ISA/US
Commissioner of Patents and Trademarks
Box PCT
Washington, D.C. 20231

Facsimile No. (703) 305-3230

Authorized officer

HAI H. PHAN

Telephone No. (703) 308-6740

Form PCT/ISA/210 (second sheet)(July 1992)*

フロントページの続き

(72)発明者 ホーキンズ、キース、ジー
 アメリカ合衆国テキサス州78620、ドリッ
 ピング・スプリングス、シェトランド
 1008番